

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-106968

(43)Date of publication of application : 21.04.1995

(51)Int.Cl.

H03M 1/18

H03F 3/45

(21)Application number : 05-251767

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 07.10.1993

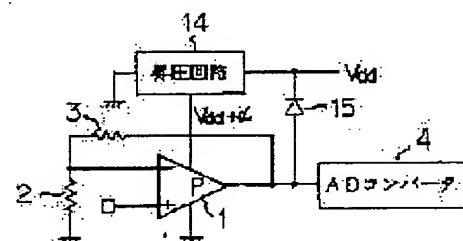
(72)Inventor : HODAKA KAZUO

(54) CONTROL CIRCUIT FOR OPERATIONAL AMPLIFIER

(57)Abstract:

PURPOSE: To improve the A/D conversion accuracy of an operational amplifier to the input voltage by boosting the power voltage of the operational amplifier and limiting the largest output voltage of the amplifier to the power voltage of an A/D converter.

CONSTITUTION: A boosting circuit 14 boosts the power supply V_{dd} of an operational amplifier 1 to $(V_{dd} + \alpha)$. The anode and the cathode of a diode 15 are connected to the output terminal of the amplifier 1 and the power supply V_{dd} respectively. Then the input voltage of an A/D converter 4 is limited to the sum voltage $(V_{dd} + V_{ak})$ of the power supply V_{dd} and the forward voltage V_{ak} of the diode 15. In other words, the relative relation is decided between the V_{dd} and the power voltage of the converter so that the input voltage of the converter 4 is equal to $(V_{dd} + V_{ak})$. As a result, the output voltage of the amplifier 1 can be increased up to $V_{dd} - V_{ss}$. Then the A/D conversion accuracy of the amplifier 1 can be improved to the input voltage.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-106968

(43) 公開日 平成7年(1995)4月21日

(51) Int. Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 M 1/18

H 0 3 F 3/45

Z

審査請求 未請求 請求項の数 3 O L (全 3 頁)

(21) 出願番号

特願平5-251767

(22) 出願日

平成5年(1993)10月7日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 保高 和夫

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

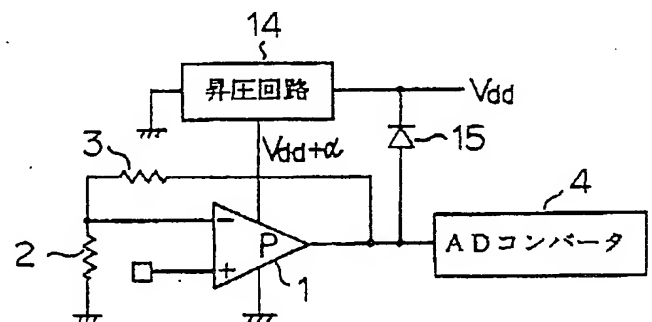
(74) 代理人 弁理士 西野 卓嗣

(54) 【発明の名称】 演算増幅器の制御回路

(57) 【要約】

【目的】 本発明は、入力電圧に対するAD変換精度を向上できる演算増幅器の制御回路を提供することを目的とする。

【構成】 本発明によれば、演算増幅器(1)の電源電圧を V_{dd} から $(V_{dd} + \alpha)$ へ昇圧し、演算増幅器(1)の最大出力電圧をADコンバータ(4)の電源電圧に制限する様に構成した為、演算増幅器(1)の入力電圧に対するAD変換精度を向上できる。



【特許請求の範囲】

【請求項 1】 一方の入力端子に入力抵抗が接続されると共に前記一方の入力端子及び出力端子の間に帰還抵抗が接続され、他方の入力端子に印加された入力電圧に対して前記入力抵抗及び前記帰還抵抗の比の利得を有する出力電圧を発生する演算増幅器と、
前記演算増幅器の電源電圧を昇圧する昇圧回路と、
前記演算増幅器の出力電圧を信号処理する信号処理回路と、
前記演算増幅器の出力電圧を前記信号処理回路の電源電圧に制限する制限回路と、
を備えたことを特徴とする演算増幅器の制御回路。

【請求項 2】 前記信号処理回路は前記演算増幅器から得られるアナログ値をデジタル値に変換する AD コンバータであることを特徴とする請求項 1 記載の演算増幅器の制御回路。

【請求項 3】 前記演算増幅器の電源電圧を昇圧して該演算増幅器の不感帯領域を無くし、前記入力電圧に対する AD 変換精度を向上させることを特徴とする請求項 2 記載の演算増幅器の制御回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、演算増幅器の制御回路に関する。

【0002】

【従来の技術】 図 3 は演算増幅器及び AD コンバータを示している。図 3 において、(1) は演算増幅器であり、- (反転入力) 端子及び接地の間に入力抵抗 (2) が接続され、+ (非反転入力) 端子及び出力端子の間に帰還抵抗 (3) が接続され、帰還抵抗 (3) の値を入力抵抗 (2) の値で割った利得を有するものである。即ち、演算増幅器 (1) は、+ (非反転入力) 端子に入力電圧が印加された時、前記入力電圧に前記利得を掛けた出力電圧を発生する仕組みになっている。(4) は AD コンバータであり、演算増幅器 (1) から得られるアナログ値を m ビットのデジタル値に変換するものである。AD コンバータ (4) は、逐次比較型でも一括比較型でも何れでも良い。

【0003】 図 4 は演算増幅器 (1) の具体回路を示している。図 4 において、PMOS トランジスタ (5) 及び NMOS トランジスタ (6) は、電源 V_{dd} 及び接地 V_{ss} の間に直列接続され、ダイオードとして機能する。即ち、PMOS トランジスタ (5) 及び NMOS トランジスタ (6) は、ドレイン接続点からバイアス電圧を発生する。PMOS トランジスタ (7) は前記バイアス電圧に応じて定電流を発生するものである。PMOS トランジスタ (8) (9) は、差動接続され、入力電圧を入力抵抗 (2) 及び帰還抵抗 (3) の接続点電圧と比較するものである。NMOS トランジスタ (10) (11) は、電流ミラー接続され、PMOS トランジスタ (8) 50

のドレイン電流に対応する電流を発生するものである。PMOS トランジスタ (12) 及び NMOS トランジスタ (13) は、電源 V_{dd} 及び接地 V_{ss} の間に直列接続され、PMOS トランジスタ (12) は前記バイアス電圧に応じて動作し、NMOS トランジスタ (13) は PMOS トランジスタ (9) のドレイン電圧に応じて動作する。従って、PMOS トランジスタ (9) のゲートに入力電圧が印加されると、PMOS トランジスタ (12) 及び NMOS トランジスタ (13) のドレイン接続点から帰還抵抗 (3) / 入力抵抗 (2) の利得を有する出力電圧が発生する様になっている。

【0004】

【発明が解決しようとする課題】 しかしながら、演算増幅器 (1) の最大出力電圧は、少なくとも電源 V_{dd} から PMOS トランジスタ (12) のソースゲート間電圧 V_{sg} だけ低い値に制限されてしまう。従って、AD コンバータ (4) は、 $(V_{dd} - V_{sg}) \sim V_{ss}$ のアナログ値をデジタル値に変換するに留まり、入力電圧に対する AD 変換精度が低下する問題があった。

【0005】 そこで、本発明は、入力電圧に対する AD 変換精度を向上できる演算増幅器の制御回路を提供することを目的とする。

【0006】

【課題を解決するための手段】 本発明は、前記問題点を解決する為に成されたものであり、その特徴とするところは、一方の入力端子に入力抵抗が接続されると共に前記一方の入力端子及び出力端子の間に帰還抵抗が接続され、他方の入力端子に印加された入力電圧に対して前記入力抵抗及び前記帰還抵抗の比の利得を有する出力電圧を発生する演算増幅器と、前記演算増幅器の電源電圧を昇圧する昇圧回路と、前記演算増幅器の出力電圧を信号処理する信号処理回路と、前記演算増幅器の出力電圧を前記信号処理回路の電源電圧に制限する制限回路と、を備えた点である。

【0007】

【作用】 本発明によれば、演算増幅器の電源電圧を昇圧し、演算増幅器の最大出力電圧を AD コンバータの電源電圧に制限する様に構成した為、演算増幅器の入力電圧に対する AD 変換精度を向上できる。

【0008】

【実施例】 本発明の詳細を図面に従って具体的に説明する。図 1 は本発明の演算増幅器の制御回路を示す図である。尚、図 1 及び図 3 の同じ素子には同じ番号を付し、重複する説明を省略するものとする。図 1 において、

(14) は昇圧回路であり、演算増幅器 (1) の電源 V_{dd} を $(V_{dd} + \alpha)$ に昇圧するものである。(15) はダイオードであり、アノードが演算増幅器 (1) の出力端子と接続されると共にカソードが電源 V_{dd} と接続され、演算増幅器 (1) の最大出力電圧に関係なく、AD コンバータ (4) の入力電圧を電源 V_{dd} 及びダイオード (1

5)の順方向電圧 V_{ak} の和電圧($V_{dd}+V_{ak}$)に制限するものである。即ち、ADコンバータ(4)の電源電圧が($V_{dd}+V_{ak}$)となる様に、電源 V_{dd} 及びADコンバータ(4)の電源電圧の相対関係を決定すれば良い。

【0009】図2は昇圧回路(14)の具体回路を示している。図2において、(16)は発振回路であり、電圧 α の振幅を有する矩形波を発生するものである。(17)は結合コンデンサである。(18)(19)はダイオードである。(20)は平滑コンデンサである。従って、昇圧回路(14)の出力は($V_{dd}+\alpha$)となり、演算増幅器(1)の電源として印加される。尚、電圧 α は、少なくともPMOSトランジスタ(12)のソースゲート間電圧より高い値である。

【0010】以上より、演算増幅器(1)の出力電圧を $V_{dd}\sim V_{ss}$ まで拡大でき、演算増幅器(1)の入力電圧に対するAD変換精度を従来に比べて向上できることになる。

【0011】

【発明の効果】本発明によれば、演算増幅器の電源電圧*

*を昇圧し、演算増幅器の最大出力電圧をADコンバータの電源電圧に制限する様に構成した為、演算増幅器の入力電圧に対するAD変換精度を向上できる利点が得られる。

【図面の簡単な説明】

【図1】本発明の演算増幅器の制御回路を示す図である。

【図2】昇圧回路の具体例を示す図である。

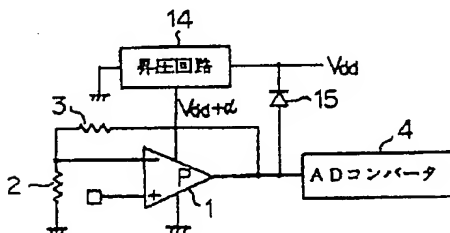
【図3】従来の演算増幅器及び周辺回路を示す図である。

【図4】演算増幅器の具体例を示す図である。

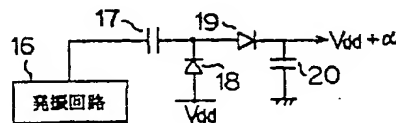
【符号の説明】

- (1) 演算増幅器
- (2) 入力抵抗
- (3) 帰還抵抗
- (4) ADコンバータ
- (14) 昇圧回路
- (15) ダイオード

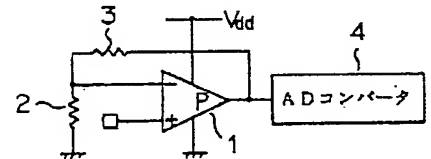
【図1】



20
【図2】



【図3】



【図4】

